

# 影像局部二值模式演算法加速電路

## Digital circuit design for local binary pattern algorithm

專題組別：2-6

指導教授：蔡佩璇 陳培殷

組員：楊芸甄



# 目錄

VLSI 設計方法

簡介

開發工具

研究方法

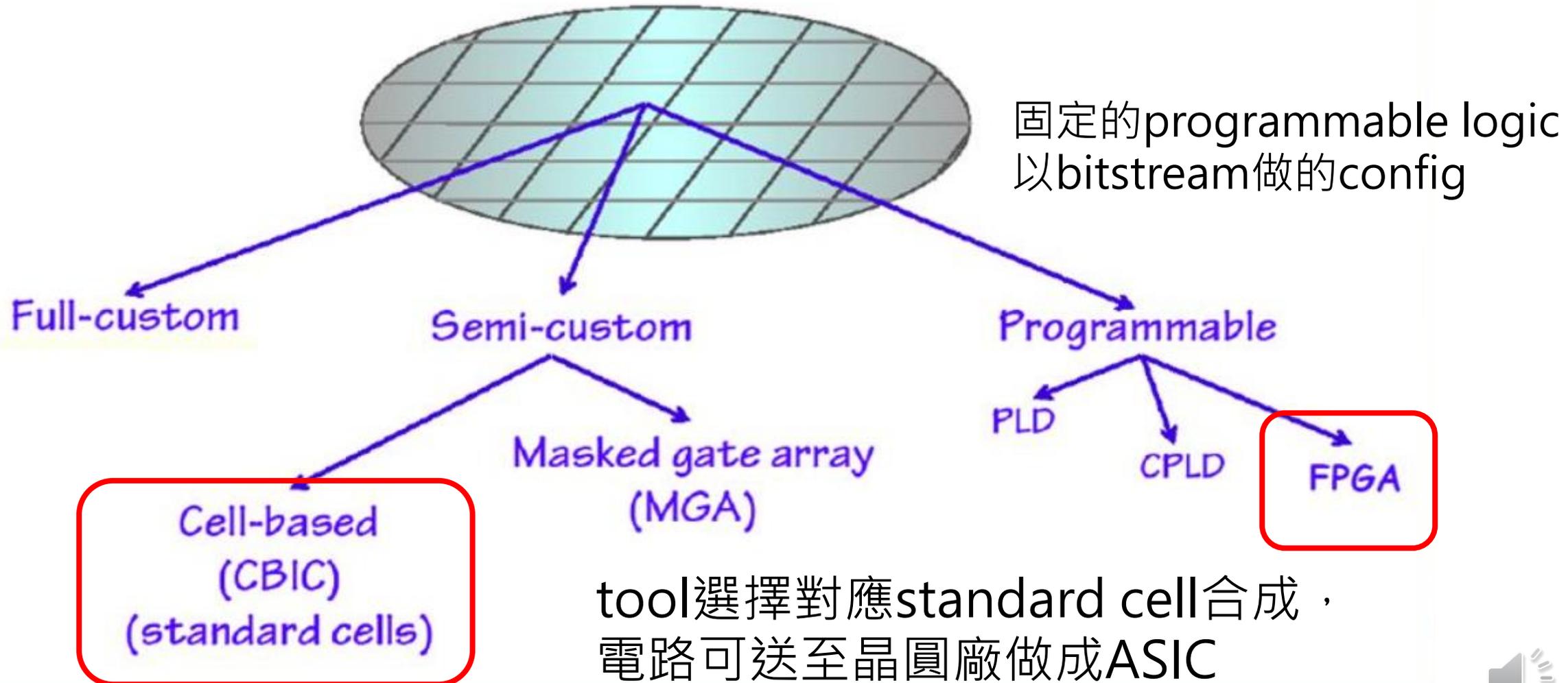
成果



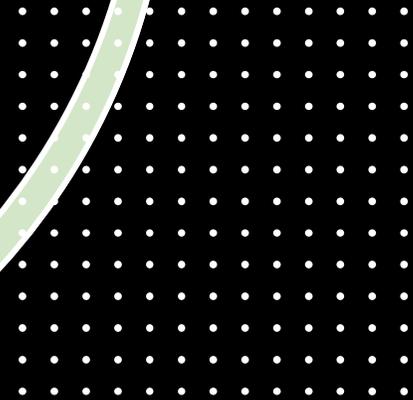
# VLSI 設計方法



# VLSI 設計方法



# 簡介



# 簡介

- 軟體進行影像處理速度過慢，因此以數位電路進行加速
- 局部二值模式(Local Binary Patterns, LBP)是一種影像處理方法，可用於描述局部紋理特徵的計算，並可與統計值方圖結合，有效提升電腦視覺檢測效果
- 本次專題分為兩大部分，一是使用ncverilog模擬以verilog設計的LBP電路，二是將該LBP模組與其他block連接，透過vivado將電路設計燒錄至FPGA，並連接至螢幕顯示處理後的圖片
- 在LBP演算法上，加入調整參數的功能，讓圖片的紋理特徵能被更正確的擷取



# 開發工具



# 開發工具

## Part1 電路模擬與合成

- 開發語言：Verilog
- 電路模擬：NC-Verilog
- 電路合成：Design compiler
- 標準元件數位電路程式庫：  
Cell-Based Design Kit for IC  
Contest v2.5
- 製程：tsmc13(130nm)

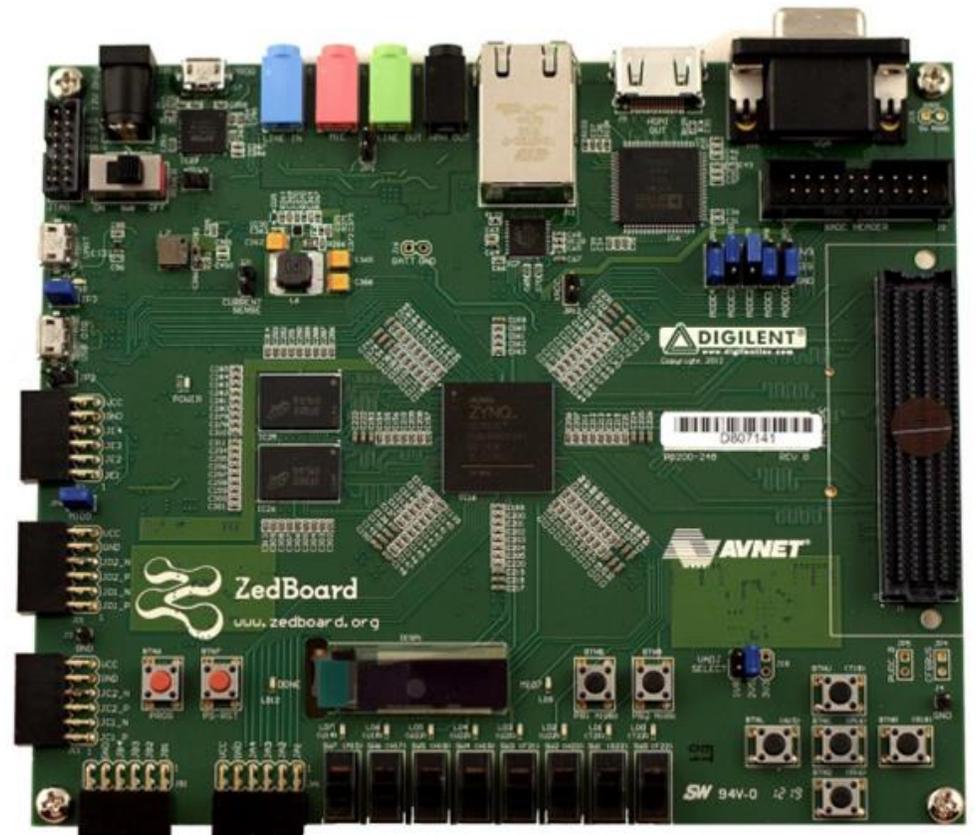
## Part2 FPGA燒錄

- 開發語言：Verilog
- 架構設計：vivado 2018.3
- 軟體執行：SDK 2018.3
- FPGA板：Xilinx ZedBoard  
Zynq-7000 7z020



# Xilinx ZedBoard Zynq-7000 7z020

- dual Core ARM Cortex-A9 Processing System(PS)
- Artix-7(28nm), 85,000 Programmable Logic (PL) cells
- 100 MHz (PL)

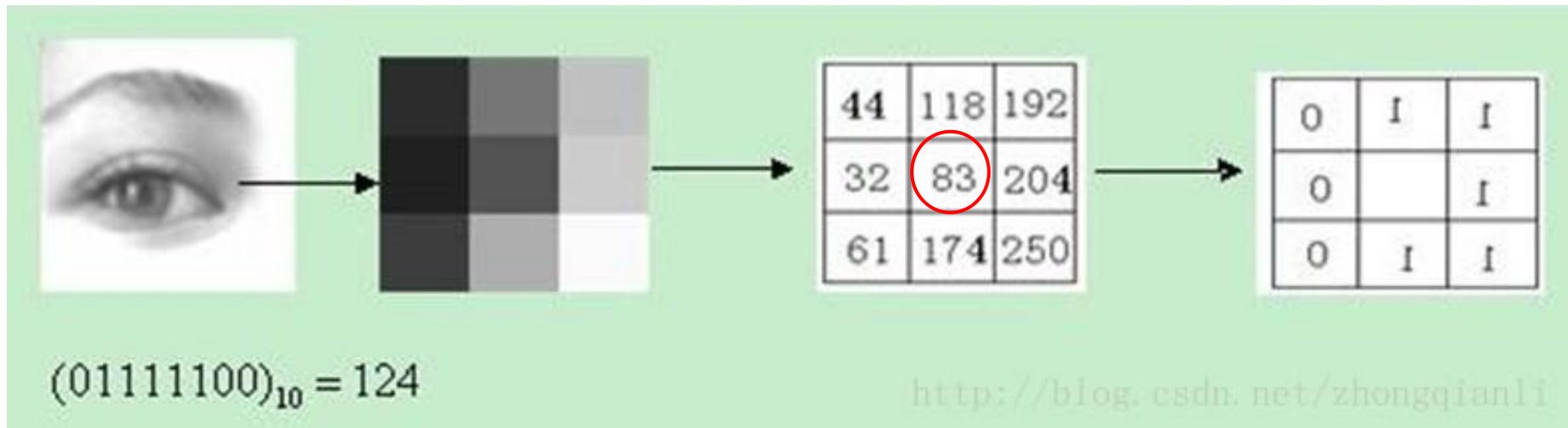


# 研究方法

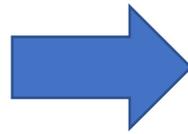


# LBP演算法介紹

- 在3\*3的區域內，以中心像素為閾值，將相鄰的8個像素的灰度值與其進行比較，若大於閾值，將該像素設為1，否則為0。由左上角像素開始順時鐘遍歷可得到8位二進制數，即得到該像素點的LBP值

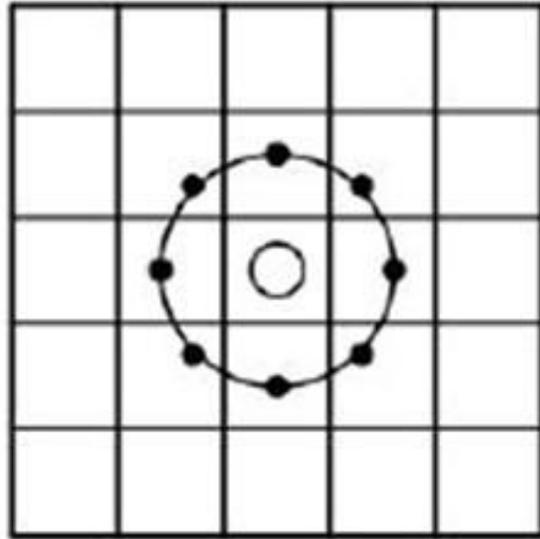


# LBP紋理擷取

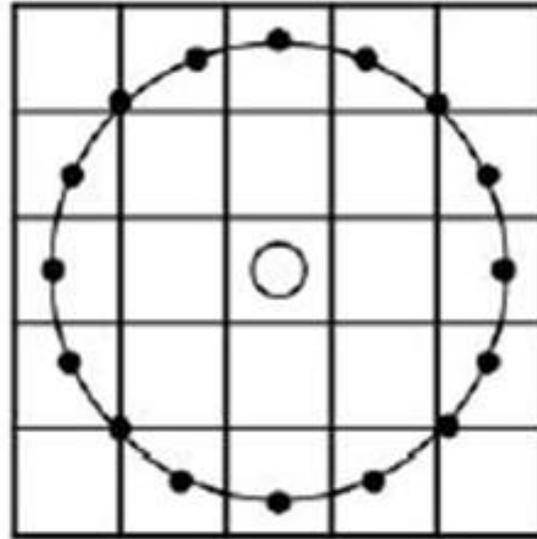


# LBP改良 - 圓形LBP

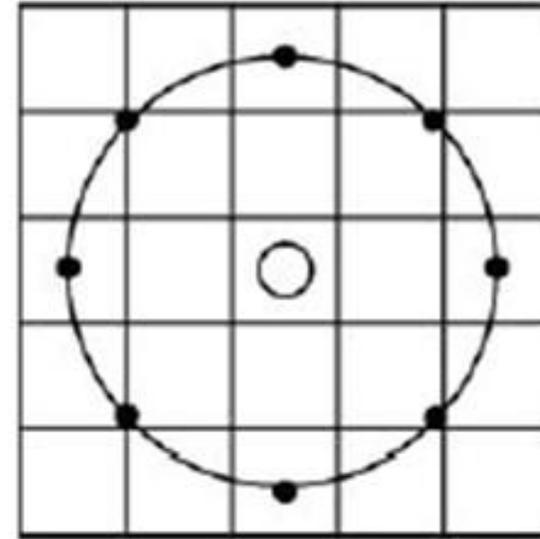
- 基本LBP演算法不能滿足不同尺寸和頻率紋理的需要。在改良版演算法中，使用圓形鄰域代替方形鄰域，半徑大小與採樣點數量變為可調整。



$LBP_8^1$



$LBP_{16}^2$

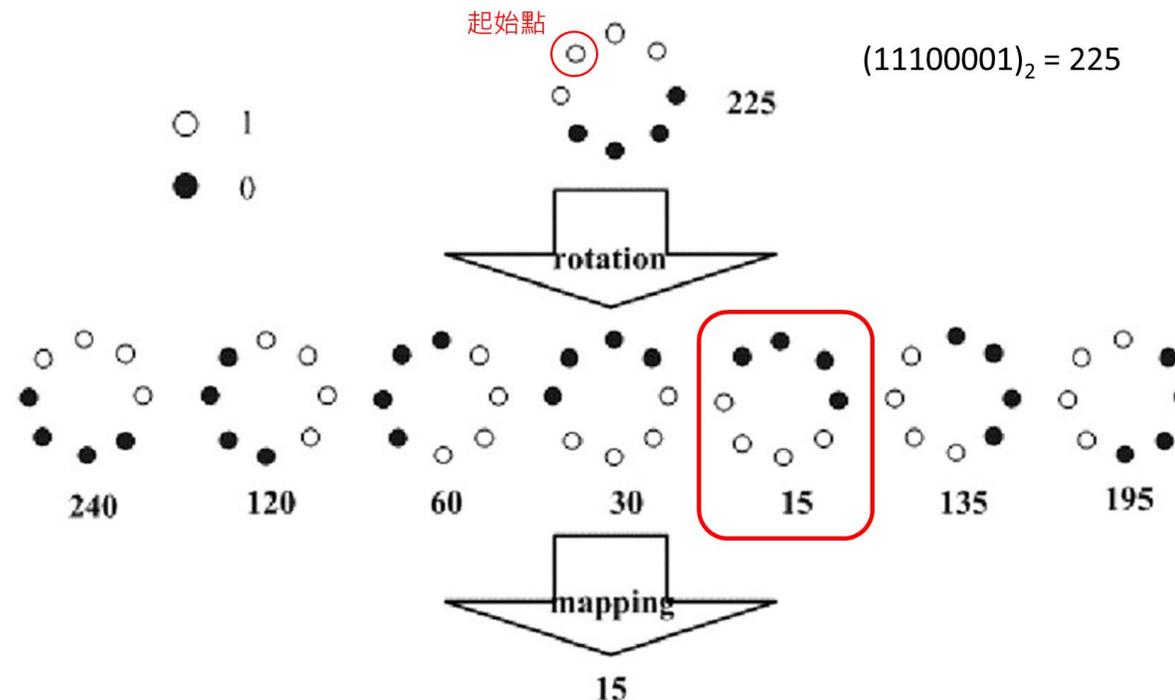


$LBP_8^2$



# LBP改良 - 旋轉不變

- 在原本的演算法中，圖片若是稍有旋轉，就會導致擷取到的特徵不同。在旋轉不變改良版中，會判斷所有旋轉狀況的LBP值，取其最小的值作為結果



# 原始LBP

# 旋轉不變

R=1

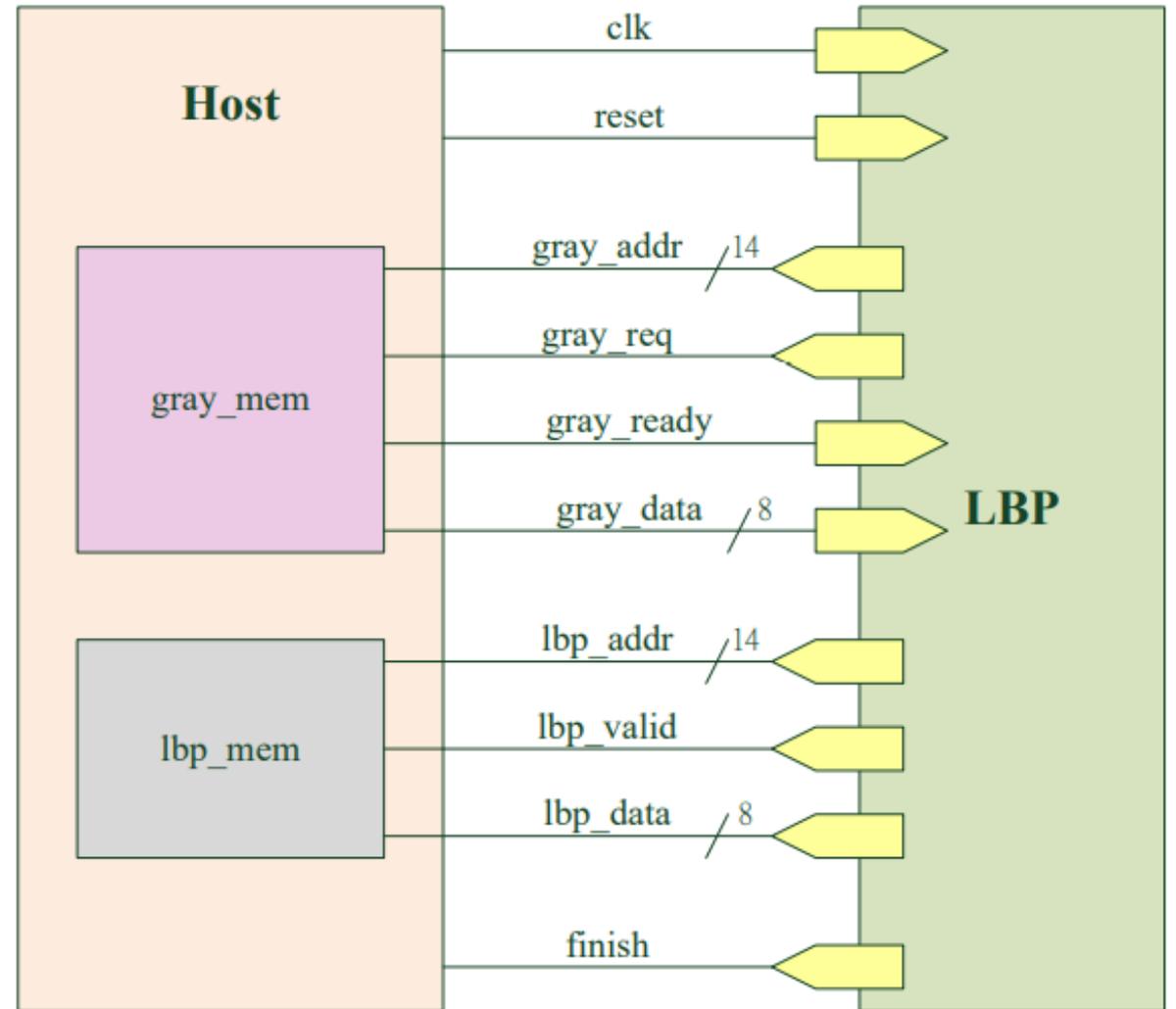


R=2



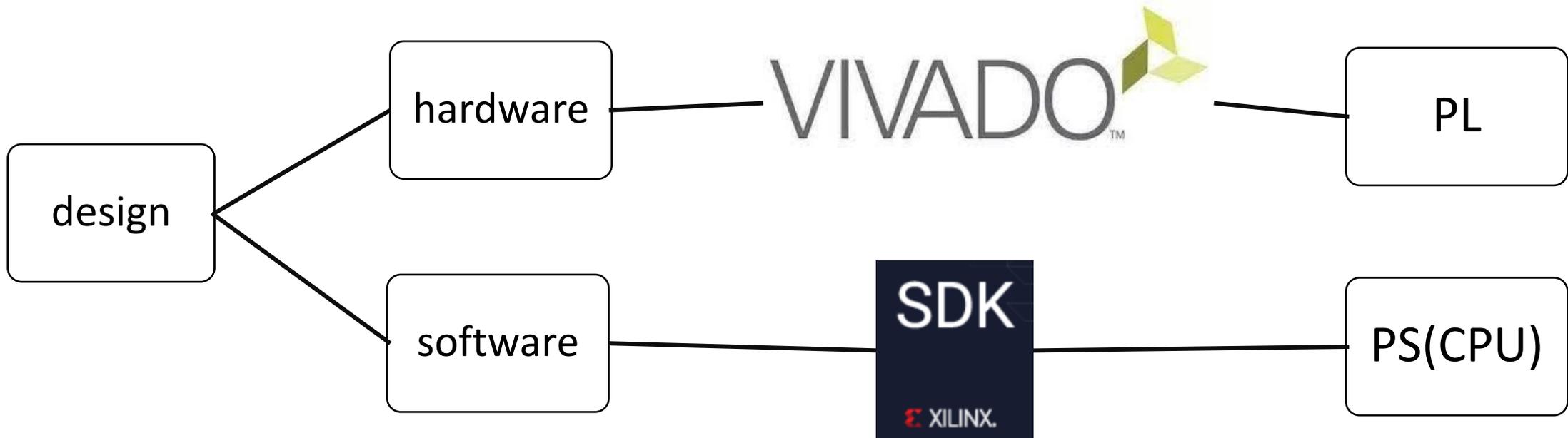
# Part1 - 電路模擬

- 以400\*300的圖片作為input，執行時間為3832us（基本LBP）
- 通過gate-level simulation
- 若將該電路實際製成ASIC，以上即為ASIC執行時間

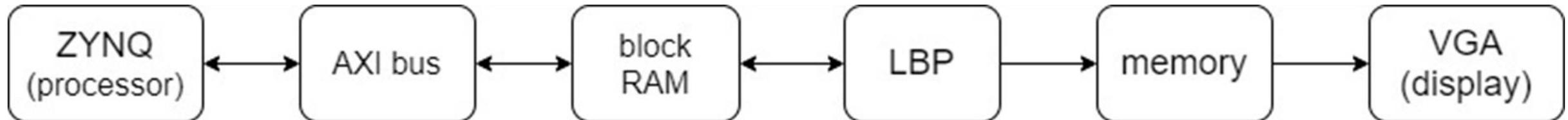
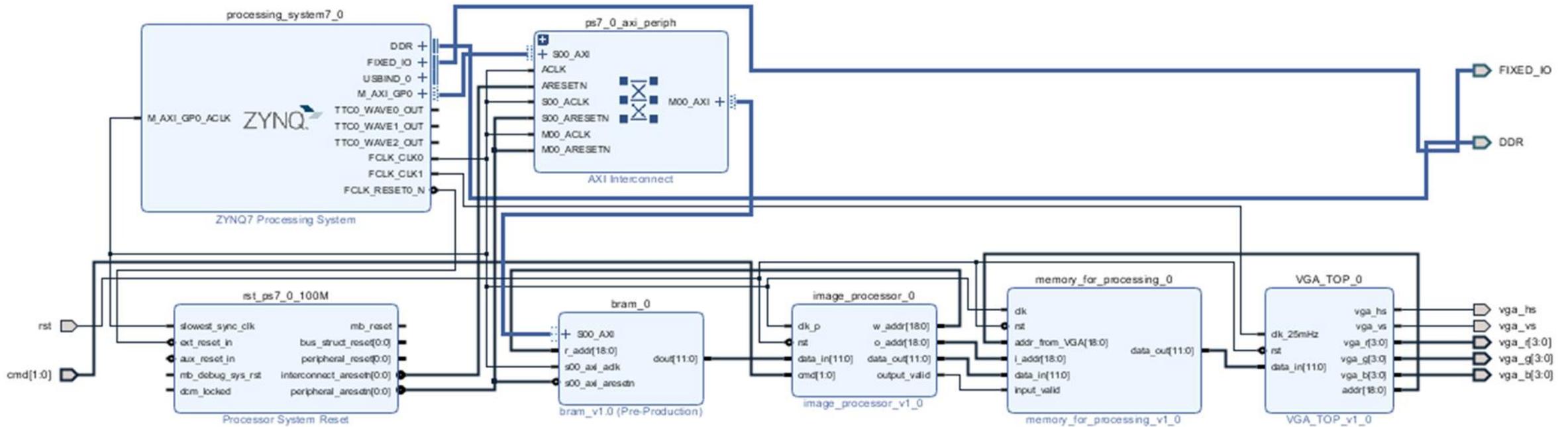


# Part2 - FPGA實現

- 使用vivado做硬體設計，燒錄至FPGA板上的PL
- 使用Xilinx SDK協助執行C code，讓軟體程式執行在PS

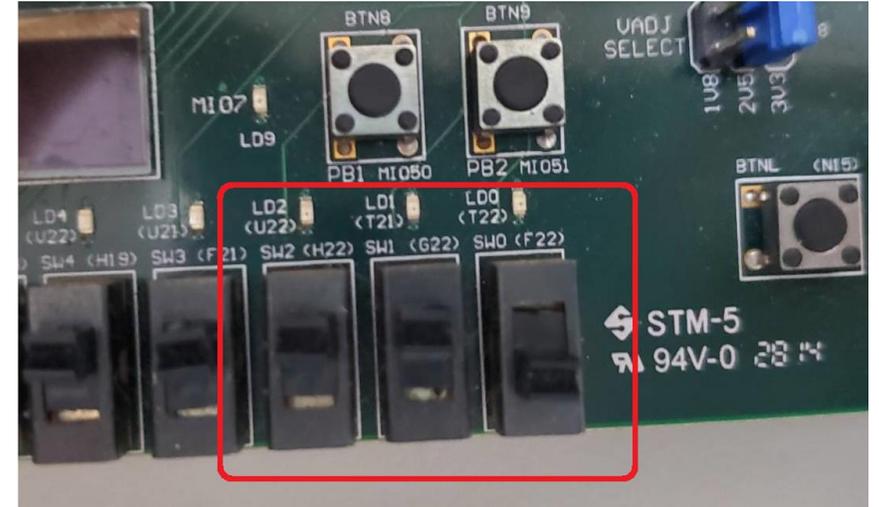


# 硬體系統架構

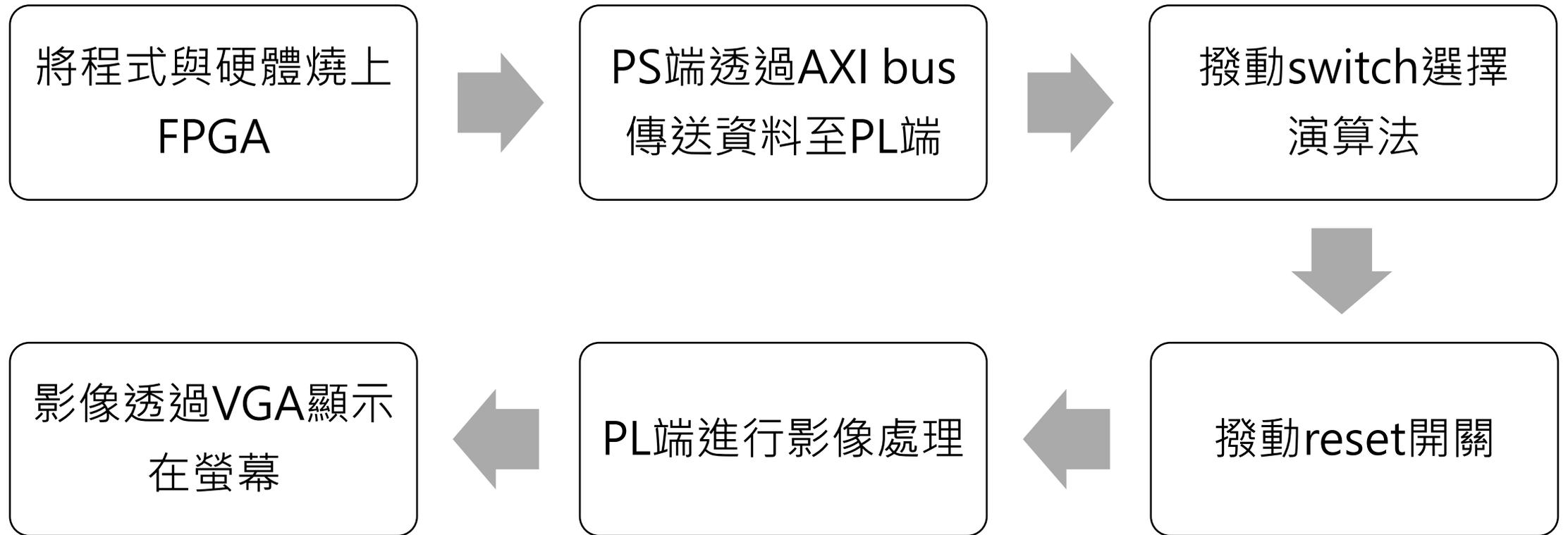


# Runtime操作

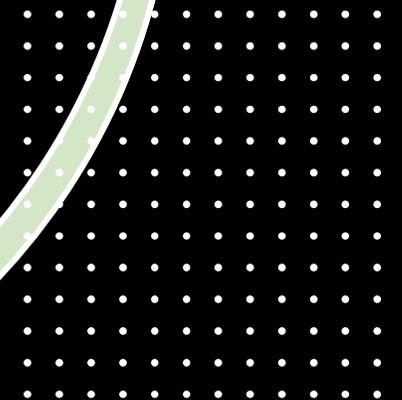
- C code：將影像資料搬至 block RAM
- FPGA外部操作
  - 將程式燒錄至FPGA後，透過指撥開關sw0，可以對硬體reset
  - sw1可以選擇LBP的圓形半徑，0為半徑1，1為半徑2
  - sw2可以選擇是否要LBP旋轉不變，0是無，1是有



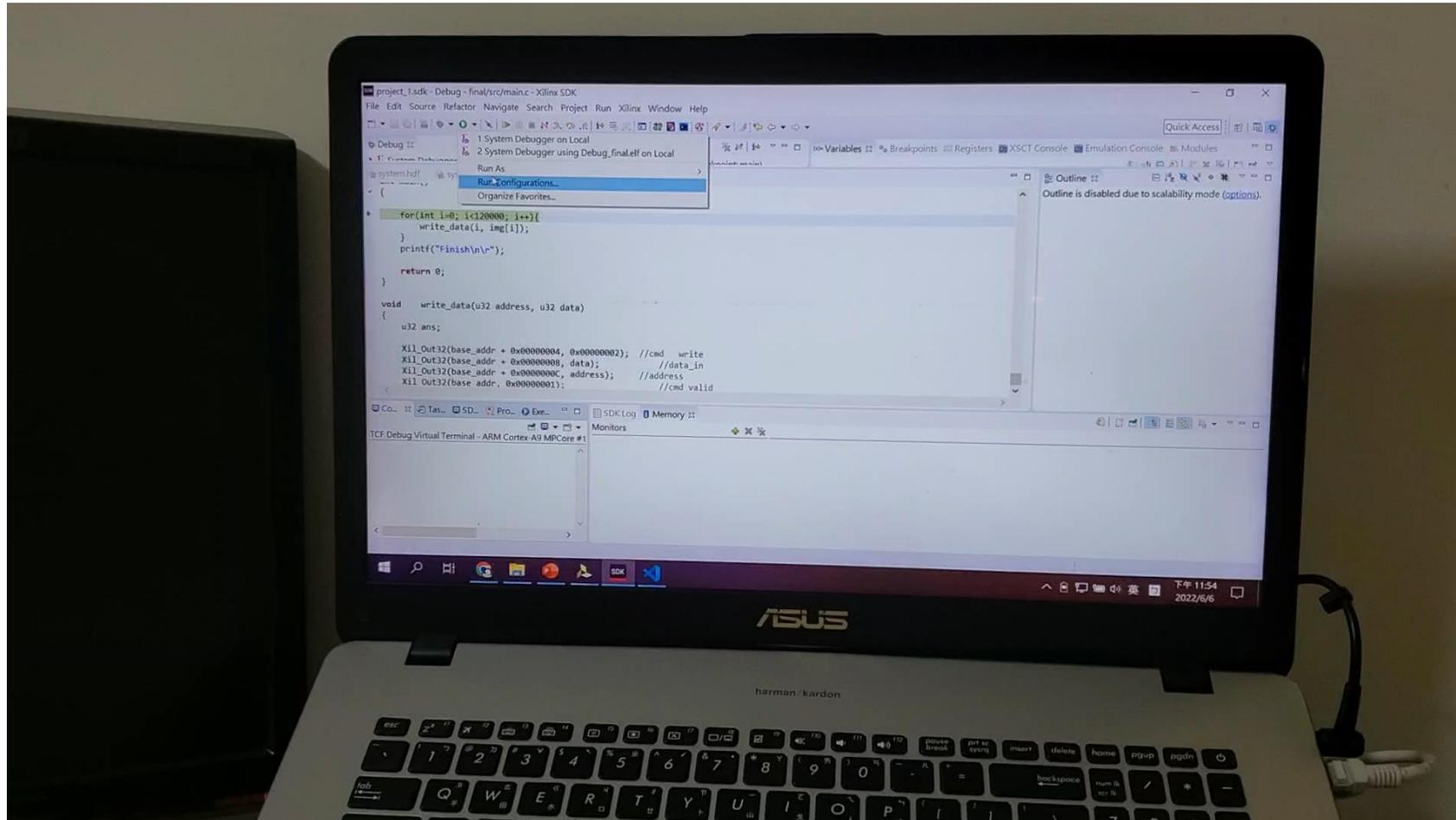
# 執行流程圖



# 成果



# FPGA Demo



# 速度優化比較 ( 基本LBP演算法 )

- 軟體為使用python執行，CPU為Intel i5-8250U 1.80GHz
- ASIC為tsmc 130nm製程之模擬，可執行在142Mhz
- FPGA為Artix-7 28nm製程，頻率為100Mhz

	軟體	ASIC	FPGA
執行時間(ms)	687.5	3.832	5.474
增加倍速 (以軟體為基準)	1	180x	125x



謝謝大家

