

以 FPGA 實現智慧交通之環境辨識

Using FPGA for Environmental Sensing in Smart Transportation Applications

指導教授：涂嘉恆

專題成員：鄭安程

開發工具：Python、Xilinx Vivado、

Tensorflow/Keras、PYNQ

測試環境：Ubuntu 20.04

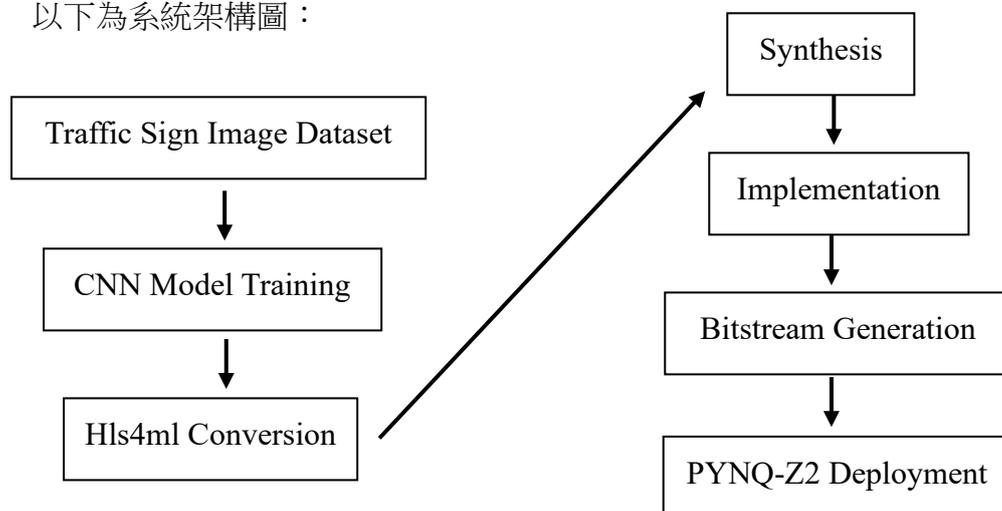
一、簡介：

在智慧交通系統快速發展現今，影像辨識技術扮演著越來越關鍵的角色，應用層面涵蓋交通標誌識別、路況監測、行人與車輛偵測等多項任務。其中，交通標誌辨識因其對即時性與高準確率的需求，是輔助駕駛與自動駕駛系統中的核心模組之一。

本專題聚焦於交通標誌之辨識，並以交通標誌公開資料集為訓練基礎，透過 TensorFlow/Keras 框架建立 CNN 模型進行圖像分類。然而，傳統的深度學習模型於 CPU 或 GPU 平台執行時，常伴隨著較高的功耗與成本問題，不利於應用在嵌入式邊緣設備。因此，本專題選擇具有更高經濟效益的 FPGA 為目標平台，結合開源工具 Hls4ml，將訓練完成的 CNN 模型轉換為高階合成語言 HLS C++後再經由 Xilinx Vivado 合成部屬到 PYNQ-Z2上，此流程大幅簡化了深度學習模型在 FPGA 平台上的部屬複雜度，亦是嵌入式邊緣 AI 加速的一項突破。

最終，本研究將模型分別部署於 CPU 與 FPGA 平台，進行速度與功耗效能之分析比較，以實證 FPGA 在智慧交通應用中之運算效能與能源效率，並驗證其作為嵌入式 AI 加速方案的可行性與經濟性。

以下為系統架構圖：



二、測試結果：

CNN 模型架構

```

Model: "sequential"
,-----
, Layer (type)                Output Shape                Param #
,-----
, conv2d (Conv2D)             (None, 28, 28, 32)         320
,
, conv2d_1 (Conv2D)           (None, 26, 26, 32)         9248
,
, max_pooling2d (MaxPooling2D) (None, 13, 13, 32)         0
,
, dropout (Dropout)           (None, 13, 13, 32)         0
,
, conv2d_2 (Conv2D)           (None, 11, 11, 64)         18496
,
, conv2d_3 (Conv2D)           (None, 9, 9, 64)           36928
,
, max_pooling2d_1 (MaxPooling2D) (None, 4, 4, 64)         0
,
, dropout_1 (Dropout)         (None, 4, 4, 64)          0
,
, flatten (Flatten)           (None, 1024)                0
,
, dense (Dense)                (None, 256)                 262400
,
, dropout_2 (Dropout)         (None, 256)                 0
,
, dense_1 (Dense)              (None, 58)                  14906
,-----

```

經由 Hls4ml 轉換並用 Vivado HLS 生成的報告

```

=====
,== VIVADO HLS REPORT
,== Project: myproject
,== Solution: solution1
,-----
,
,Performance Estimates:
,-----
,
,+ Latency:
,* Summary:
,Latency (cycles): min = 32, max = 38, avg = 35
,Interval (II): 1
,* Timing:
,Clock Period: 5.00ns
,Estimated Latency: 175ns
,
,Resource Estimates:
,-----
,
,+ Utilization Estimates:
,* DSP48E = 5
,* BRAM_18K = 4
,* FF = 2800
,* LUT = 3400
,
,+ Details:
,-----
,| Resource | Used | Available | Utilization |
,-----
,| DSP48E | 5 | 220 | 2% |
,| BRAM_18K | 4 | 140 | 3% |
,| FF | 2800 | 106400 | 2% |
,| LUT | 3400 | 53200 | 6% |
,-----
,
,+ Interface Information:
,Control Protocol: AXI-Lite
,Input: address_offset = 0x10
,Output: address_offset = 0x100
,

```

最終結果比較表

	I5-12500H	PYNQ-Z2	比較說明
準確率	82.5%	81.9%	兩者一樣準確
推論延遲	5.1 毫秒	175 奈秒	PYNQ-Z2 約快 29000 倍
功耗	12.5 瓦	0.45 瓦	PYNQ-Z2 僅為 I5- 12500H 的 1/27
資源使用率	約 12%	約 3.25%	PYNQ-Z2 上的使用 率明顯較低
使用資源價值	約\$30	約\$2.93	PYNQ-Z2 成本僅為 I5-12500H 的 1/10