

即時影像超解析處理電路

Real-Time Image Super-Resolution Processing Circuit

指導教授：陳培殷教授、蘇銓清教授
專題成員：林子齊
開發工具：Vivado 2025.2、Vitis 2025.2
測試環境：Ubuntu 24.04、PYNQ-Z2 開發板（Zynq-7000）

研究動機與目的

- 問題背景：**影像處理 IP 多半只在軟體模擬驗證；要在 FPGA 上板實測，須額外搭建 PS 控制、DRAM 資料搬移與顯示輸出等周邊，流程複雜且費時。
- 研究目的：**建構完整且可重用的 FPGA 測試 / 展示平台，讓影像處理 IP 快速上板驗證並透過 HDMI 即時呈現。
- 預期貢獻：**以 AXI4-Stream 模組化串接；使用者只需替自有 IP 加上 AXI4-Stream wrapper 即可套用平台。
- 示範案例：**以 Bicubic 超解析將灰階影像 960×540 上採樣至 1920×1080 ，HDMI 即時輸出 1080 60fps。

系統架構

系統運算流程：

- 【輸入與設定】** PS 初始化各個 IP。
- PS 透過 xilffs (FatFs) 從 SD card 讀取影像至 DRAM。
- PS 啟動 LQ VDMA（處理低解析度影像），將 960×540 灰階影像轉為 AXI4-Stream 送入 Bicubic IP。
- Bicubic IP 每算完一張 frame 即發起 IRQ。
- PS 更新 LQ VDMA 的 frame buffer address。
- 【輸出】** HQ VDMA（處理高解析度影像）的 write channel 將 1920×1080 結果寫入 frame buffer。
- HQ VDMA 的 read channel 讀出影像送往 HDMI 訊號處理 IP。
- HDMI IP 經 TMDS 編碼 / 序列化後輸出影像。

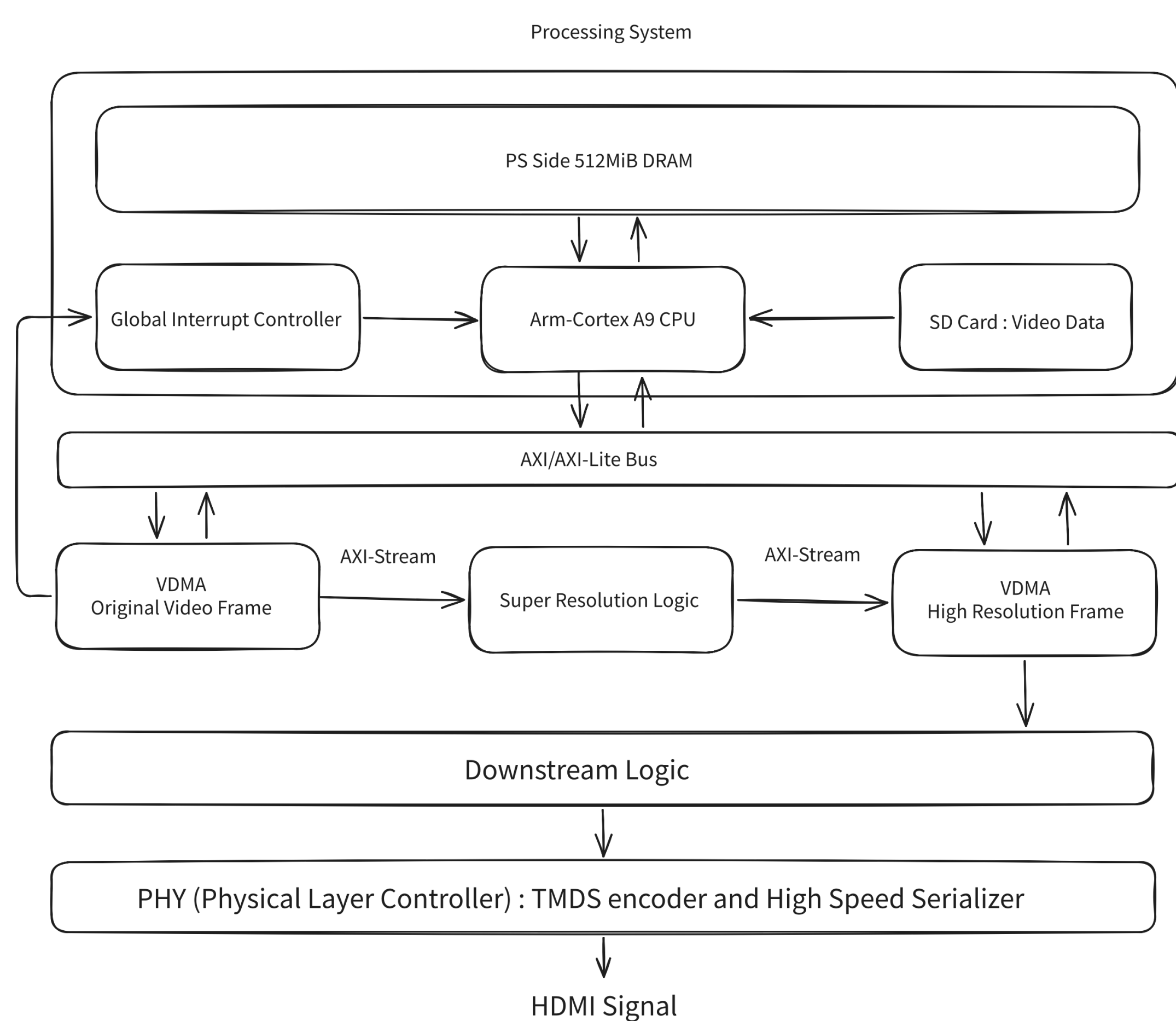


Figure 1: 系統架構圖：PS / PL 軟硬體配置與影像資料流向

實作技術與環境

- 開發平台：** PYNQ-Z2 (XC7Z020; speed grade -1)；PS 端為 Arm Cortex-A9 CPU 與 512 MB DDR DRAM。
- 開發工具：** Vivado 2025.2 (Block Design / 合成)、Vitis 2025.2 (bare-metal 韌體)、Ubuntu 24.04。
- 關鍵 IP：** Bicubic 超解析 IP、AXI VDMA (triple buffer)、Digilent rgb2dvi。
- 韌體：** Vitis bare-metal C；xilffs (FatFs) 讀 SD card、GIC 中斷、XAXiVdma driver (register direct mode)。
- 影像 / 顯示規格：** 灰階 $960 \times 540 \rightarrow 1920 \times 1080$ ；DVI 1.0 1080p60，Pixel Clock 148.5 MHz、Serdes Clock 742.5 MHz。

成果展示

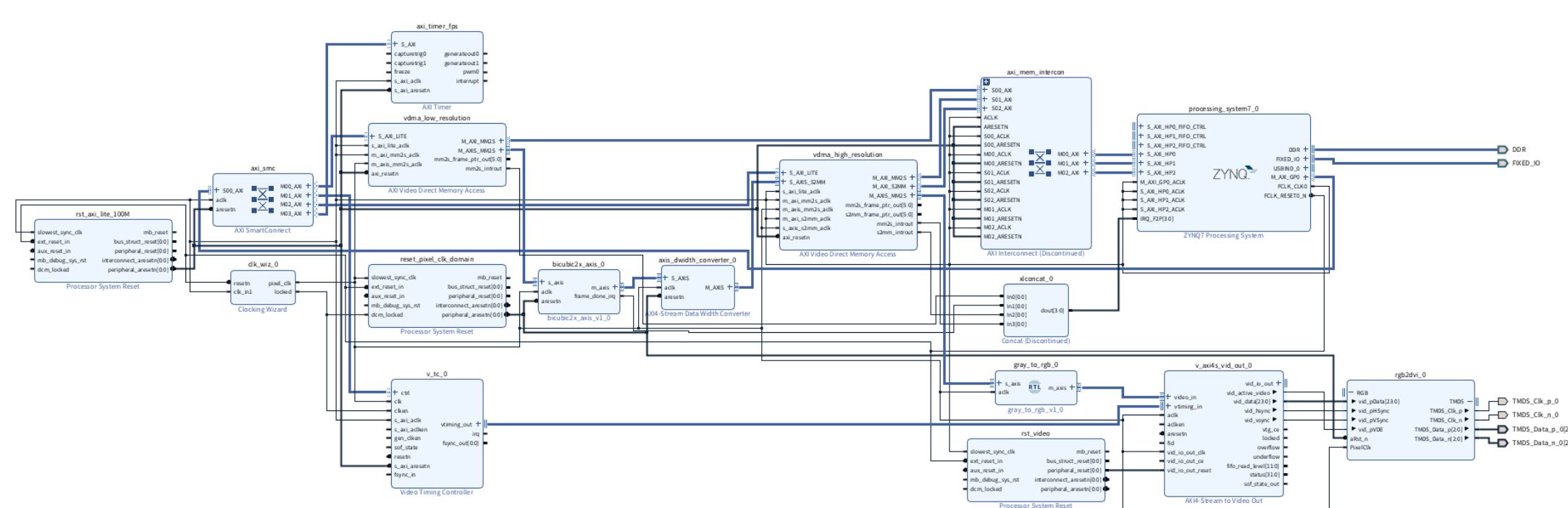


Figure 2: Vivado Block Design 硬體實作

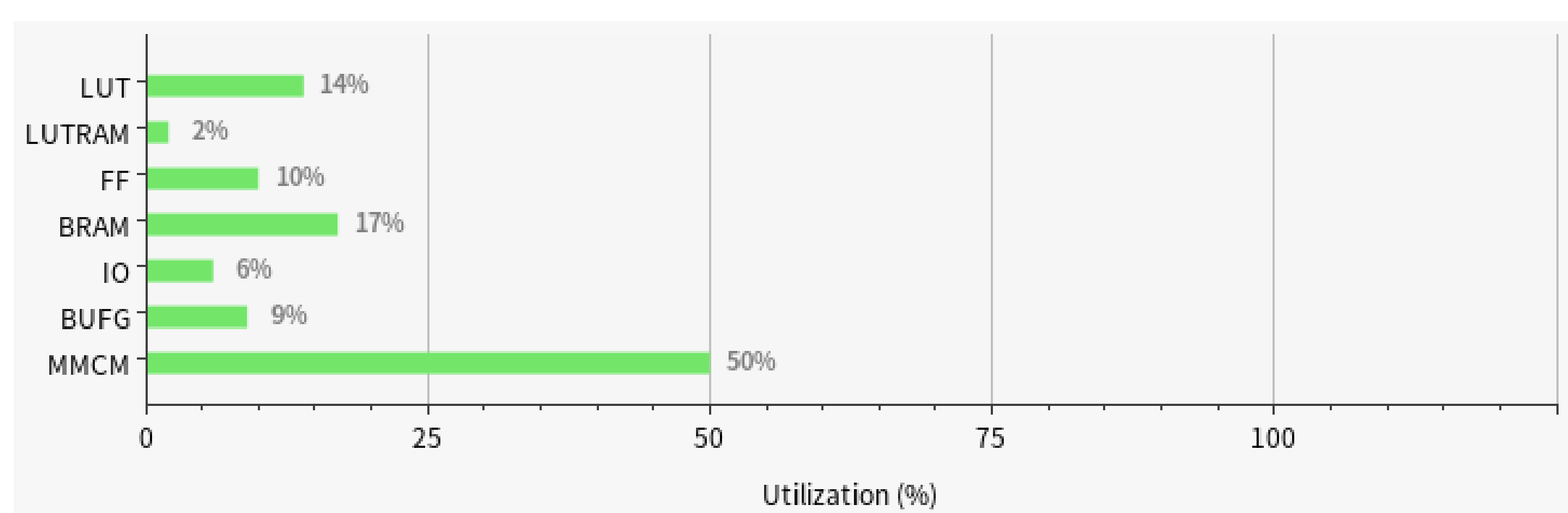


Figure 3: FPGA 資源使用率

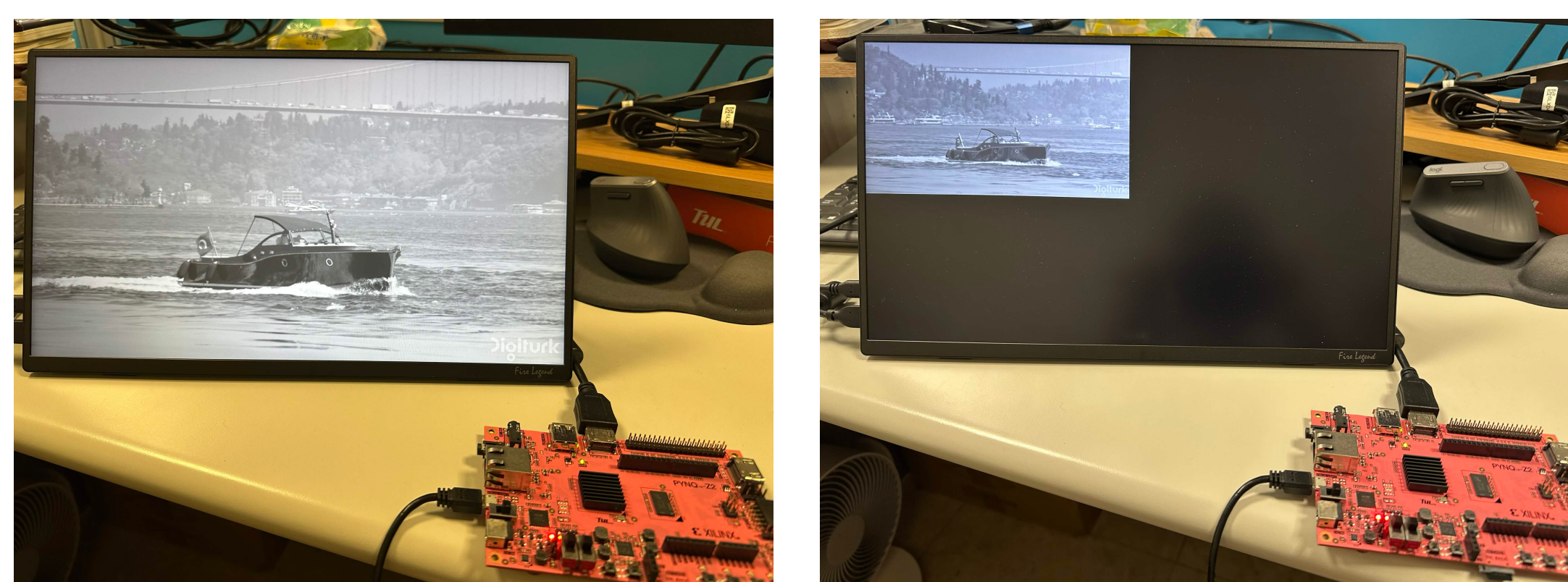


Figure 4: 系統實際上板執行情形（左：Bicubic 超解析；右：Pass-through 原始影像）

結論與未來展望

- 研究貢獻：**完成可重用的 FPGA 影像處理驗證平台，以 AXI4-Stream 模組化串接；使用者只需替自有 IP 加上 AXI4-Stream wrapper 即可上板，並透過 HDMI 即時呈現處理效果，免去自行搭建 PS 控制器、DRAM 資料搬移與顯示輸出的繁複流程。
- 未來展望：**支援彩色 RGB888 影像；整合更多影像處理 IP 並提供自動化 wrapper；提升輸出解析度至 4K。