

GateCore:以 74HC 邏輯閘實現之 4-Stage Pipelined 之自製 CPU 與指令集設計

GateCore: A 4-Stage pipelined CPU Built from 74HC Discrete Logic with Custom ISA

專題組員：高睿

指導教授：陳奇業 教授

專題摘要

本專題以邏輯閘、麵包板與單芯線等基礎電子元件，從零開始實作一顆 8-bit CPU，並整合一顆 MCU PIC18F4520 作為與使用者的互動介面，其負責將指令載入 Program Memory，並控制 CPU 以單步或連續的模式來執行指令。

自定義指令集架構 (ISA)

指令長度為 16 bit

指令集清單

Type	說明	Opcode
IMM	將暫存器設為其與立即值運算的結果	00*
REG	將暫存器設為兩個暫存器運算的結果	01*
MEM	讀寫 Data Memory	100
B1	無條件分支	101
B2	條件分支	11*

算數邏輯單元 (ALU)

硬體上提供以下八種運算

ID	ALU 運算名稱	實作方式
0	and	74HC08
1	xor	74HC86
2	not	74HC04
3	or	74HC32
4	add	74HC283
5	sub	74HC04, 74HC283
6	lrotate	電路
7	rrotate	電路

暫存器設計 (Registers)

提供 8 個以 74HC574(D Flip-Flop) 實作的暫存器，Reg[1] 同時為 Data Memory 的 Bank。

- clock 正緣：從 WB 階段的 pipeline register 得到 Write Back 的 ID 與數值。
- clock 負緣：將目標暫存器做更新。

記憶體讀寫

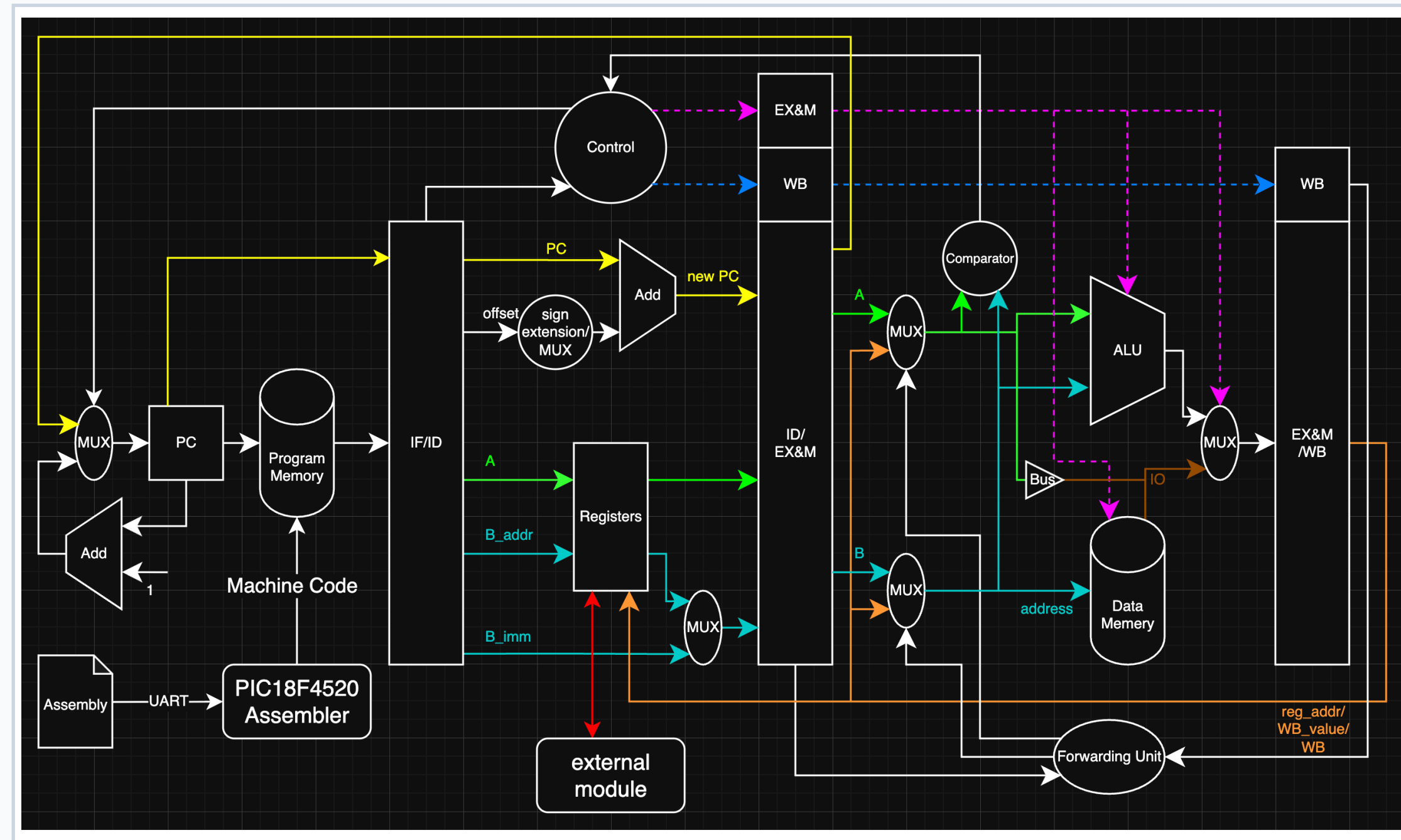
採用 HM628128 SRAM。利用 SN74HC245N 作為 Buffer 避免匯流排衝突，並利用 SRAM 的 Chip Select (CS) 與 Write Enable (WE) 訊號操作讀寫。

- LOAD：CPU 停止驅動資料線 → SRAM 驅動資料線，CPU 讀取資料。
- STORE：SRAM 停止驅動資料線 → CPU 驅動資料線，SRAM 寫入資料。

由於採用 Bank 機制，Data Memory 的可定址空間可達 2^{16} Bytes。此外指令支援以暫存器內容作為記憶體位址，因此可透過遞增或遞減位址暫存器，對連續記憶體空間進行連續讀寫。

4-Stage 管線化設計 (Pipeline)

採用 IF、ID、EX&MEM、WB 四級管線化設計。與經典的五級 RISC-V pipeline 不同，將 EX 與 MEM 階段合併為同一 stage。



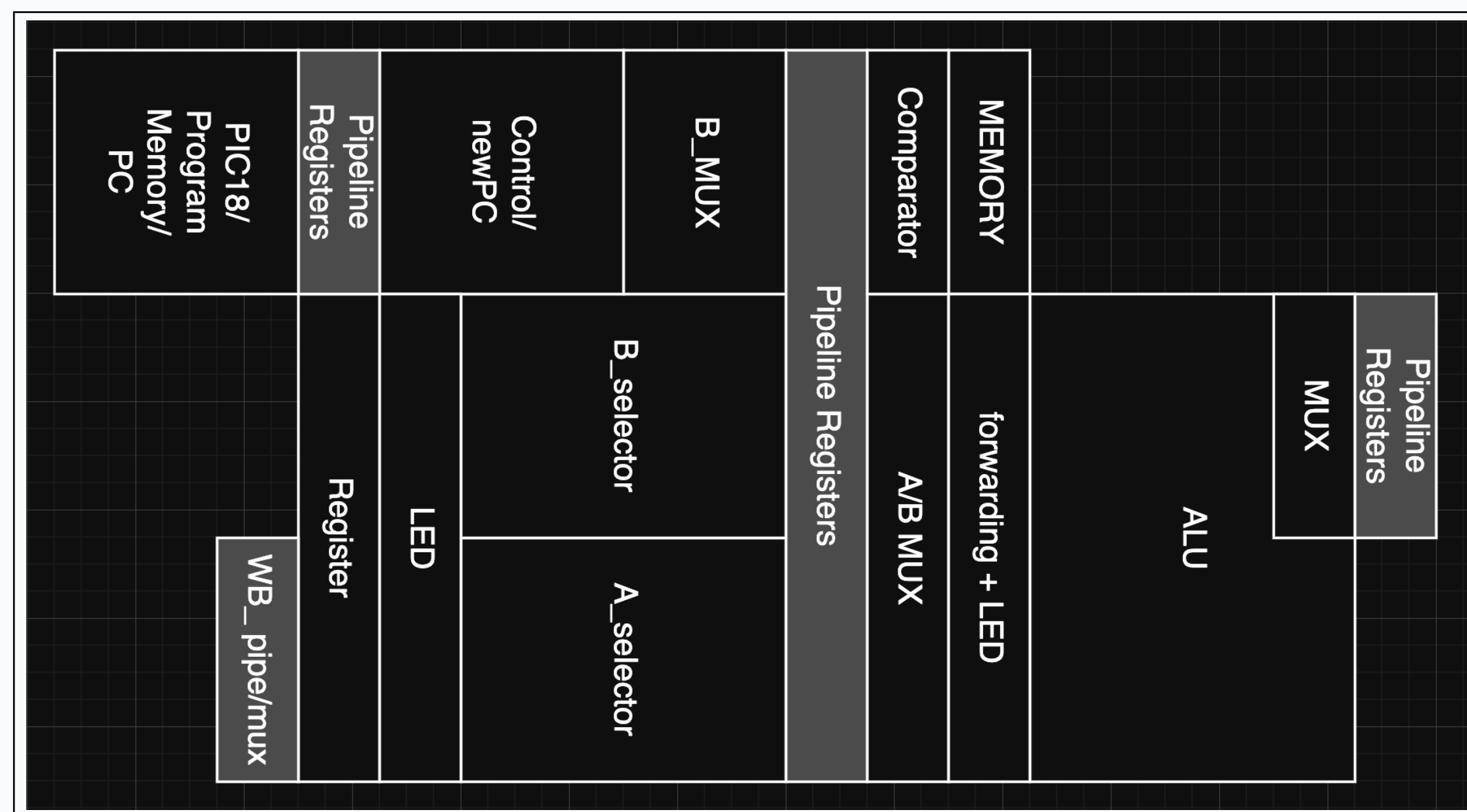
4-stage Pipeline 架構圖

管線化資料傳遞與 Hazard 處理

- Forwarding：當所需資料尚未寫回時，直接由 Write Back 階段 Forward 至 ALU。
- Hazard Detection：Branch 成立時，透過將 EX/MEM 的關鍵控制訊號清零來達到 Pipeline Stall 的效果。

各階段往後傳遞之資料內容

階段	內容
IF / ID	當前指令、PC
ID / EX&MEM	A/B 的 ID 與其值、是否要 Write-Back 和其 ID、ALU Control、MemRead、MemWrite、PC、Branch Type
EX&MEM / WB	是否要 Write-Back 和其 ID、Write-Back value



麵包板實體配置圖



相關資料