

支持多解析度輸出之雙三次影像縮放 FPGA 實作

Multi-Resolution Bicubic Image Scaling on FPGA

指導教授：陳培殷 教授

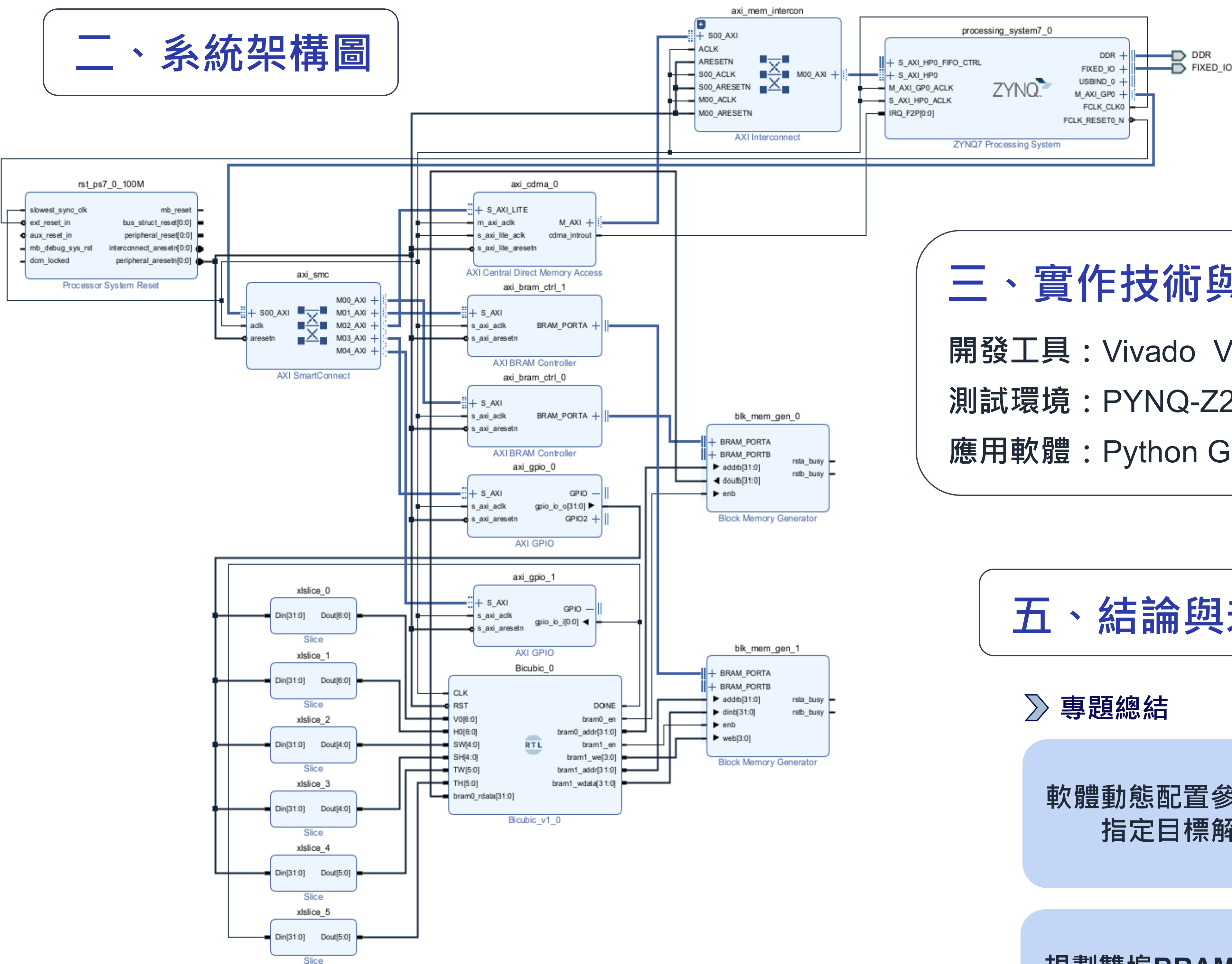
專題成員：羅時瀚、蔡佳蓉

一、研究動機及目的

1. 核心需求：高畫質設備普及，高品質影像縮放成為關鍵
2. 演算法優勢：Bicubic 能提供更平滑、高質感的放大效果
3. 效能瓶頸：Bicubic 運算複雜，傳統軟體執行會消耗大量 CPU 資源，效率低落
4. 專題解決方案：

硬體電路設計 – 以 Verilog 實作 Bicubic 運算核心，利用 FPGA 平行架構加速影像處理
軟硬體整合控制 – 基於 PYNQ 開發 Python 介面，實現即時傳輸與驗證

二、系統架構圖



三、實作技術與環境

開發工具：Vivado Vitis Verilog HDL
測試環境：PYNQ-Z2 (Zynq-7000)
應用軟體：Python GUI 與系統主控

五、結論與未來展望

專題總結

軟體動態配置參數，支援任意指定目標解析度輸出

規劃雙埠BRAM獨立通道，突破單一匯流排傳輸瓶頸

優化方向

導入Q(X.Y)定點化運算，有效降低 DSP 以及硬體資源消耗

擴充平行運算核心並導入管線化結構，大幅提升晶片資料吞吐率

四、成果展示

支援多解析度輸出之雙三次影像縮放 FPGA 實作

啟動 FPGA 加速縮放



放大前原始影像



Bicubic 放大影像

掃描觀看 Demo 影片

