

組別：E-13

指導教授：許舒涵

專題成員：楊柏恩

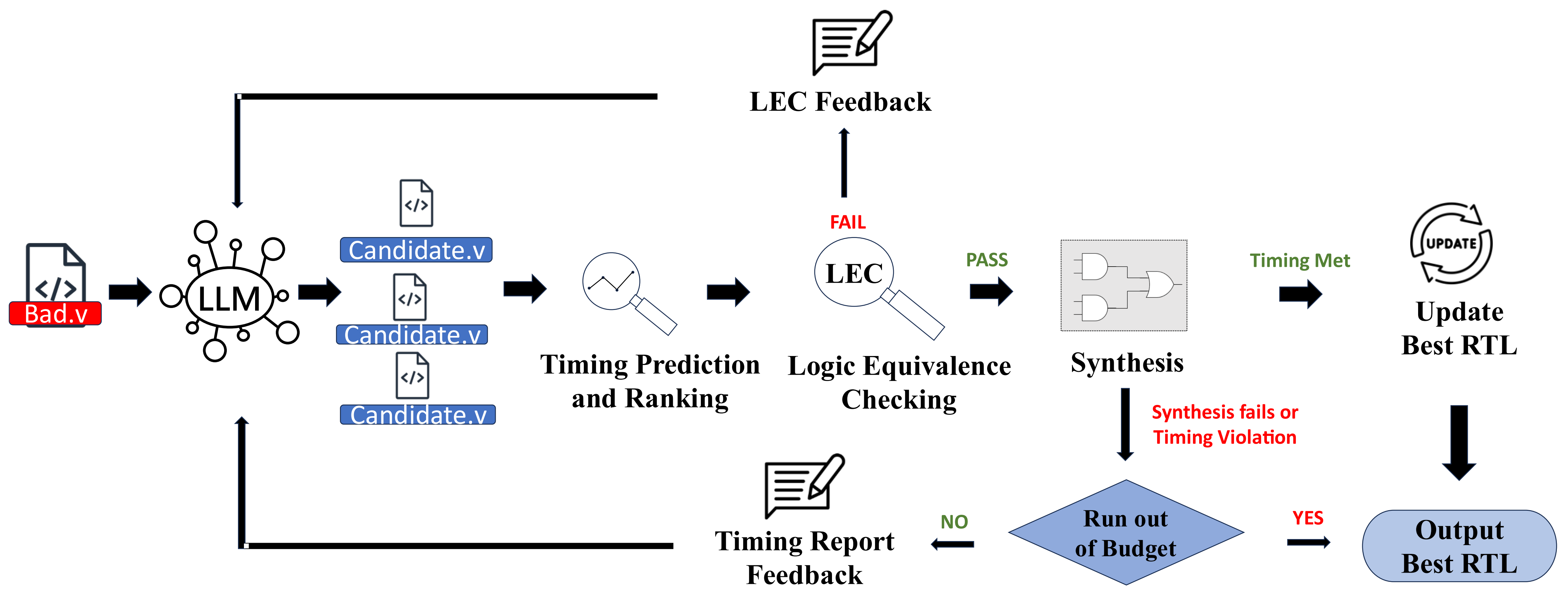
研究背景與動機

隨著數位電路設計規模增加，RTL 程式碼的撰寫與修改變得更加複雜。設計者在開發 Verilog/SystemVerilog 時常會遇到語法錯誤、介面不一致、程式結構不清楚，或修改後功能行為改變等問題。雖然大型語言模型具備產生與修正程式碼的能力，但 AI 產生的 RTL 不一定能直接使用，因此仍需要自動化工具進行檢查與驗證。本專題希望建立一套 AI 輔助 RTL 修正與驗證流程，使模型能根據工具回饋反覆修正，自動化Verilog的開發與設計過程。

簡介

本專題實作一套 AI 輔助 RTL 程式碼修正與驗證系統。系統輸入 Verilog/SystemVerilog RTL 程式碼後，會透過 fine-tuned 7B RTL 語言模型產生多個候選修正版，並利用自動化腳本工具進行語法檢查與邏輯等價檢查。不同於一次性產生程式碼，本系統採用 closed-loop 架構，能將檢查失敗的錯誤訊息回饋給模型，進行下一輪修正。透過反覆迭代生成過程，系統可協助設計者降低 RTL 除錯成本，並提升 AI 產生 RTL 程式碼的可靠性。

系統架構圖



Closed-loop RTL 修正與驗證流程。系統先由大型語言模型產生候選 RTL，再透過自動化檢查與邏輯等價驗證篩選結果；未通過者會將工具回饋送回模型進行下一輪修正，通過者則輸出最佳 RTL。

實作技術

① Fine-tuned Model

蒐集verilog dataset，人工標註source code 中壞掉的部分及修改方式。

② LEC邏輯等價檢查

比對原始 RTL 與候選 RTL 的邏輯行為確認修正後功能沒有被 AI 改變。

③ Feedback擷取和標準化

利用python腳本擷取編譯器等工具的回饋並整理後送回模型。

④ 完整Closed-Loop系統架構

可利用Socket將模型產出與工具回饋在不同設備上通訊，設定邊界條件檢查是否停止迭代。

