

即時影像超解析處理電路

資訊系 116 級
林子齊

大綱

1 系統架構

- 系統架構圖
- 影像處理流程
- 影像 Bicubic 資料流

2 VDMA 應用

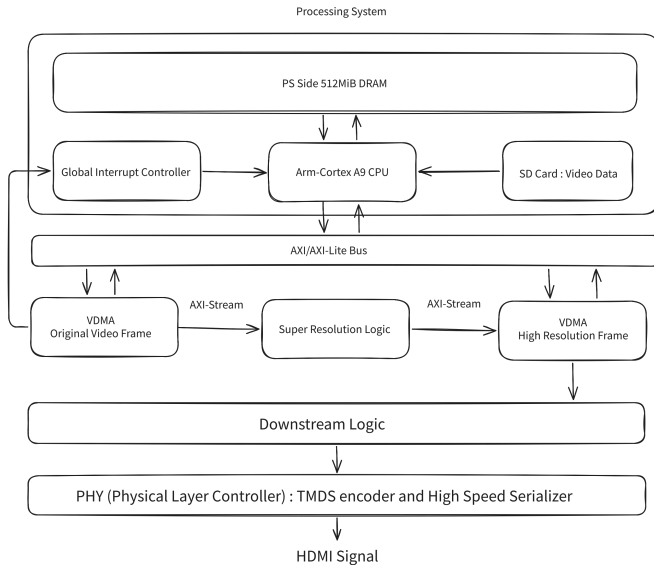
- VDMA 介紹
- Frame Synchronization
- GenLock Synchronization
- 更新 Frame Buffer Address
- 兩個 VDMA 的功能

3 PYNQ-Z2 的影像解析度和幀率

- 目標解析度和幀率
- TMD5 Encoder 和 Serializer
- Clocking Wizard 輸出頻率上限

4 參考資料

系統架構圖



影像處理流程

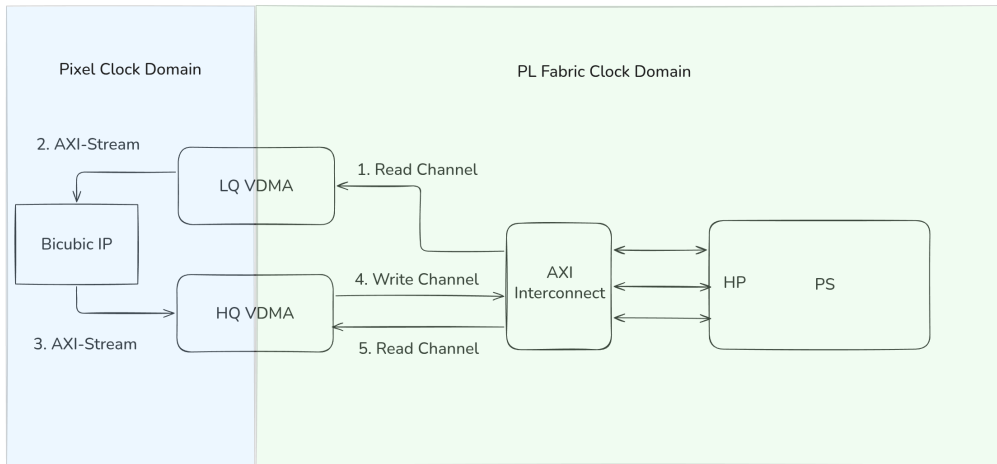
系統設定和 Bicubic IP 輸入資料流程

1. PS 初始化各個 IP
2. PS 透過 xilffs 裝置驅動讀取 SD card 影像
3. PS 啟動讀取低解析度影像的 VDMA 將影像送入 Bicubic IP
4. Bicubic IP 算完一個 frame 之後發起 IRQ
5. PS 更新讀取影像 VDMA 的 frame buffer address

Bicubic IP 輸出影像流程

1. 處理高解析度影像的 VDMA 將影像寫入 frame buffer
2. VDMA 將資料讀取出來送到 HDMI 訊號處理 IP

影像 Bicubic 資料流



VDMA 介紹

VDMA 功能

- 和 DMA 一樣用於搬運記憶體資料，但以二維 frame 為單位管理搬移
- MM2S 和 S2MM 是兩個獨立通道，VDMA 內部自行處理 CDC 問題

Frame Buffer

- 在 PS-side 配置 DRAM 空間，將位址註冊到 VDMA 讓 read/write channel 存取
- 常用 Triple Buffer，write channel 更新影像，read channel 輸出影像

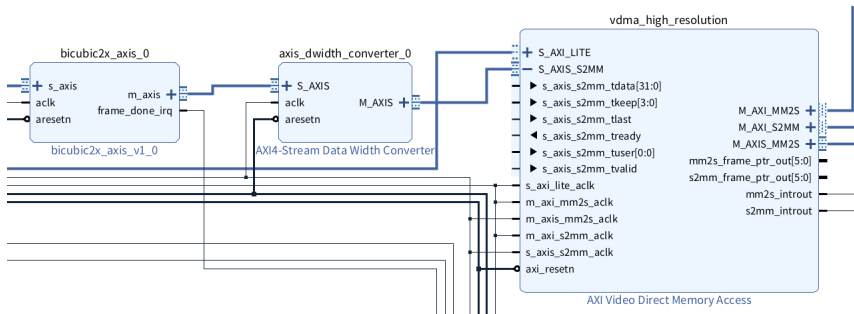
GenLock

- 避免 write/read channel 同時存取同一個 frame buffer 而造成畫面撕裂
- write/read channel 的 frame rate 不同步時，自動以 skip/repeat 對齊

Frame Synchronization

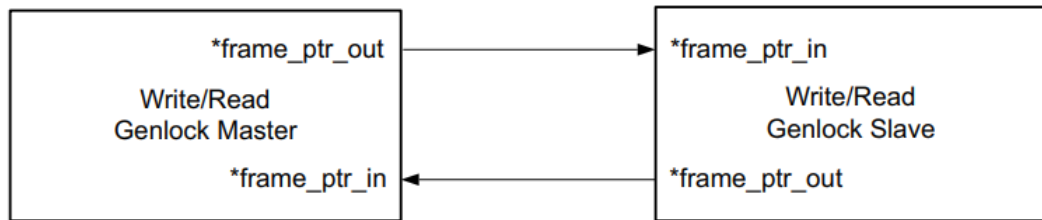
畫面同步的 metadata 可包在 AXI4-Stream handshake，或單獨接 fsync pin：

- **AXI4-Stream handshake** : m_axis_mm2s_tuser[0] / s_axis_s2mm_tuser[0]
- **External pin** : s2mm_fsync / mm2s_fsync



GenLock Synchronization

當 VDMA read/write channel 同時開啟時，master/slave 會自動連線交換 frame buffer pointer，避免同時存取相同 frame buffer 造成畫面撕裂。

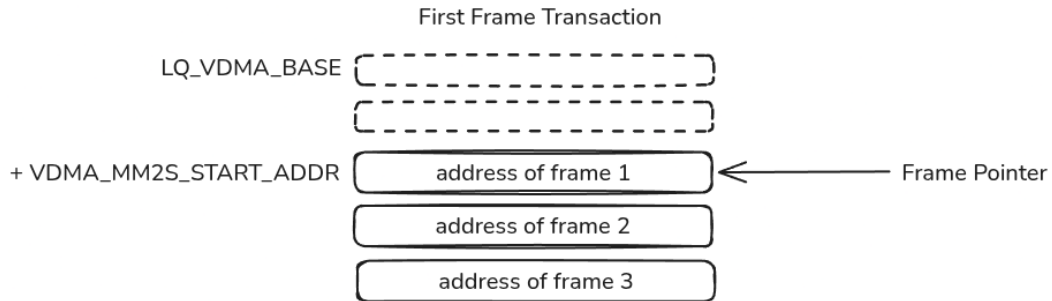


更新 Frame Buffer Address

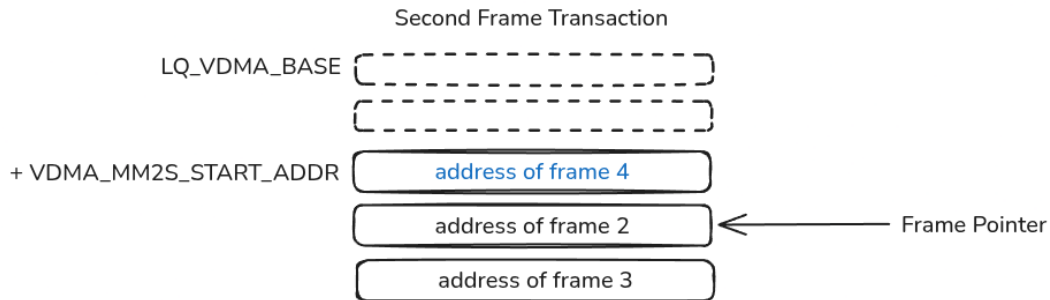
在 frame done 中斷中更新讀取低解析度影像 VDMA 的 frame buffer 起始位址：

```
Xil_Out32(LQ_VDMA_BASE + VDMA_MM2S_START_ADDR + slot * 4u, addr);  
Xil_Out32(LQ_VDMA_BASE + VSIZE_REG_OFFSET, (u32) IN_H);
```

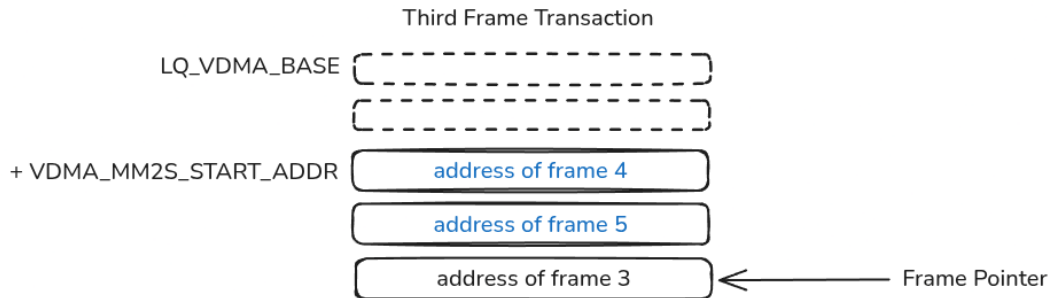
First Frame Transaction



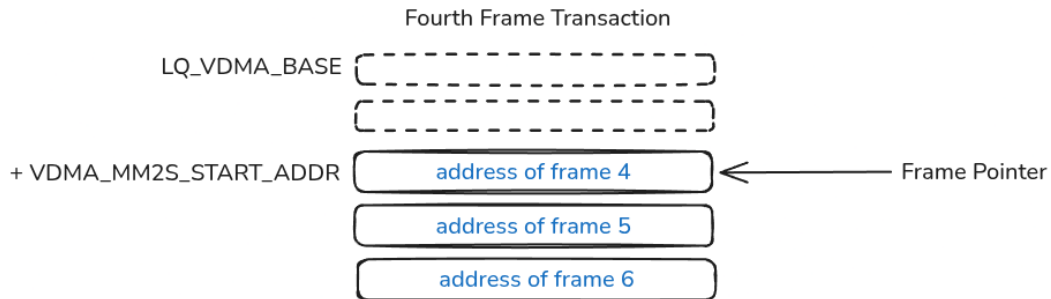
Second Frame Transaction



Third Frame Transaction



Fourth Frame Transaction



兩個 VDMA 的功能

讀取低解析度影像的 VDMA

- 讀取 960×540 的灰階影像
- 影像轉為 AXI-Stream 送到 Bicubic IP

處理高解析度影像的 VDMA

- 處理 Bicubic IP 輸出的 1920×1080 灰階影像
- Write Channel 將影像寫入 frame buffer
- Read Channel 將影像從 frame buffer 讀取後傳到 HDMI 訊號處理 IP
- 處理輸入 frame rate 和輸出 frame rate 不同步的問題

目標解析度和幀率

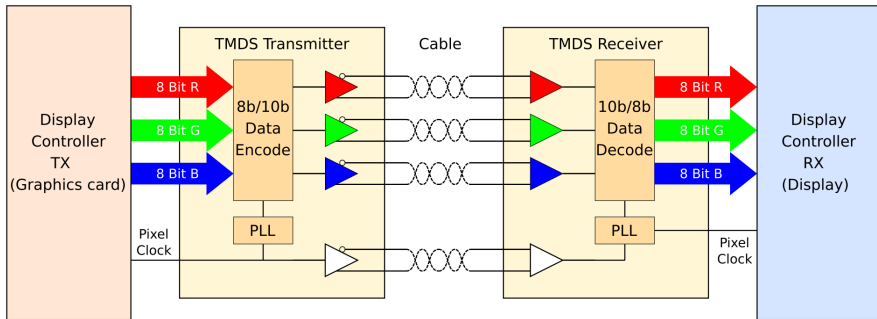
依照 DVI 1.0 1920×1080 60 Hz 影像規格如下：

- Horizontal Pixel 2200 (1920 active)
- Vertical Pixel 1125 (1080 active)
- Pixel Clock = $2200 \times 1125 \times 60 = 148.5$ MHz

TMDS Encoder 和 Serializer

輸出端將 RGB 各個通道經過 TMDS 編碼器之後序列化傳輸：

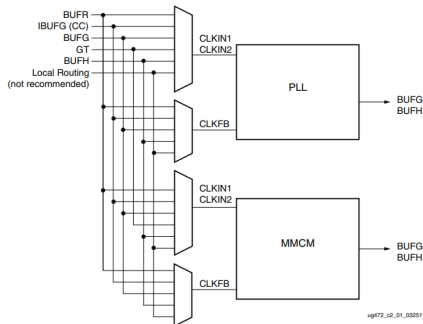
- Pixel Clock 148.5 MHz
- Serdes Clock $148.5 \times 10 = 1485$ MHz



Clocking Wizard 輸出頻率上限

Clocking Wizard 由 PLL/MMCM 和 Buffer 組成：

- PYNQ-Z2 的 FPGA 為 speed grade -1
- By DS187: $F_{MAX_PLL} = F_{MAX_MMCM} = 800$ MHz
- By DS187: $F_{MAX_BUFG} = F_{MAX_BUFH} = 464$ MHz



參考資料

1. AMD/Xilinx, *PG020: AXI Video Direct Memory Access v6.3 LogiCORE IP Product Guide*.
https://docs.amd.com/r/en-US/pg020_axi_vdma
2. AMD/Xilinx, *DS187: Zynq-7000 SoC (Z-7010, Z-7015, Z-7020) DC and AC Switching Characteristics*.
<https://docs.amd.com/v/u/en-US/ds187-XC7Z010-XC7Z020-Data-Sheet>
3. Digital Display Working Group, *Digital Visual Interface (DVI), Revision 1.0*, 1999.
4. Digilent, *vivado-library: rgb2dvi IP*.
<https://github.com/Digilent/vivado-library>